

等 別：二級考試

類 科：電子工程

科 目：高等電子電路學（包括類比與數位）

考試時間：2 小時

座號：_____

※注意：(一)可以使用電子計算器。

(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

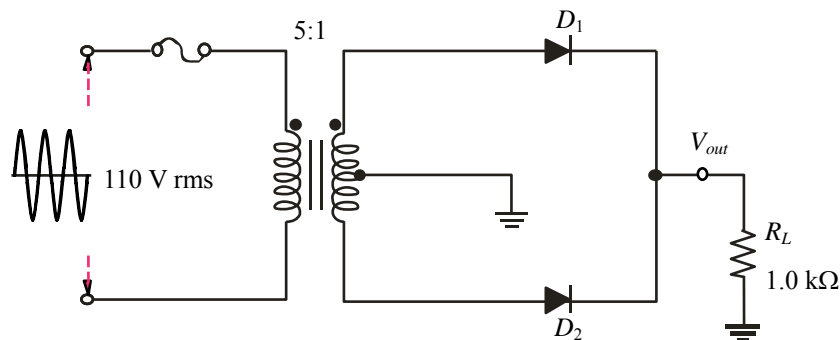
一、圖一為二極體整流器，其輸入為 110V rms、60 Hz 之電源。

(一)請繪出變壓器輸出端之間的電壓波形，並註明峰值電壓。(5 分)

(二)請繪出整流器的輸出電壓 (V_{out}) 波形，並註明峰值電壓。(5 分)

(三)求流經二極體的最大電流。(2 分)

(四)圖中所使用的二極體，其最小需承受之峰值反向電壓 (peak inverse voltage) 為何？(3 分)



圖一

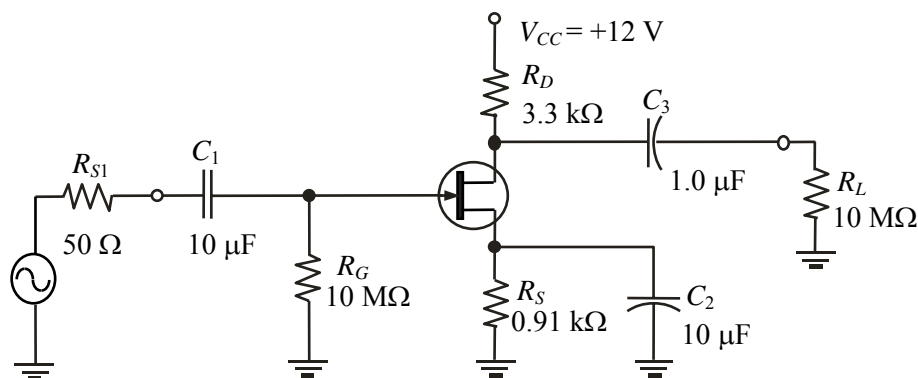
二、圖二為接面場效電晶體 (JFET) 構成的共源極放大器。

(一)求 JFET 的 Q-point，即 JFET 之偏壓電路造成的端電壓及電流 V_G 、 V_S 、 V_D 及 I_D 。已知此 JFET 的 $I_{DSS} = 12 \text{ mA}$ ， $V_{GS(off)} = -3 \text{ V}$ ，且 I_D 可由下式求出：

$$I_D = I_{DSS} \left(1 + \frac{I_D R_S}{V_{GS(off)}} \right)^2 \quad (6 \text{ 分})$$

(二)請說明圖二中電容器 C_1 、 C_2 、 C_3 及電阻器 R_S 的作用。(3 分)(三)求共源極放大器的中頻 (midrange) 電壓增益 $A_v(mid)$ 。(8 分)(四)若電晶體中 $C_{gd} = 3 \text{ pF}$ 、 $C_{gs} = 5 \text{ pF}$ ，導出輸入 RC 電路並求其對應之高 3 dB 頻率。(5 分)

(五)導出輸出 RC 電路並求其對應之高 3 dB 頻率。(5 分)



圖二

(請接背面)

等 別：二級考試

類 科：電子工程

科 目：高等電子電路學（包括類比與數位）

三、圖三中的電晶體之作用為開關（switch），亦即其僅操作於截止（cutoff）或飽和（saturation）區。若電晶體之 $\beta_{DC} = 50$ ，飽和電壓 $V_{CE(sat.)} = 0.2 \text{ V}$ ，且 $R_{B1} = R_{B2} = 50 \text{ k}\Omega$ 。

(一)若要確保任一電晶體操作於截止區，其最高可容許的輸入電壓 V_{IL} 為何？（3 分）

(二)若要確保電晶體 Q_1 進入飽和區， V_{IN1} 最低的輸入電壓為何？（4 分）

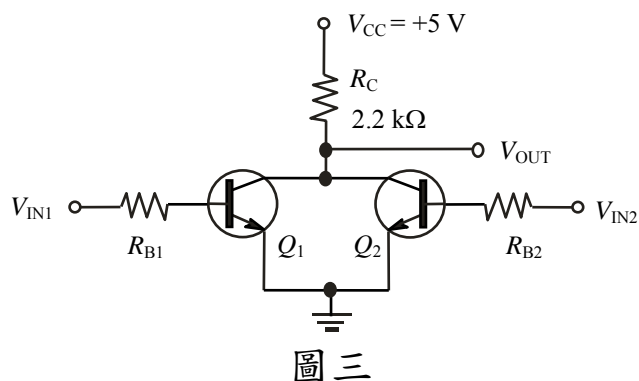
(三)若已知電晶體 Q_2 操作於飽和區，使 Q_1 進入飽和區的最低的輸入電壓 V_{IN1} 為何？

綜合上列結果，此邏輯閘的 V_{IH} 為何？（5 分）

(四)此邏輯閘的功能為何？請以真值表說明。

（5 分）

(五)若此邏輯閘的輸出可接到多個同型邏輯閘，若可允許的雜訊為 1 V 時，則最大的扇出（fanout）數為何？（5 分）

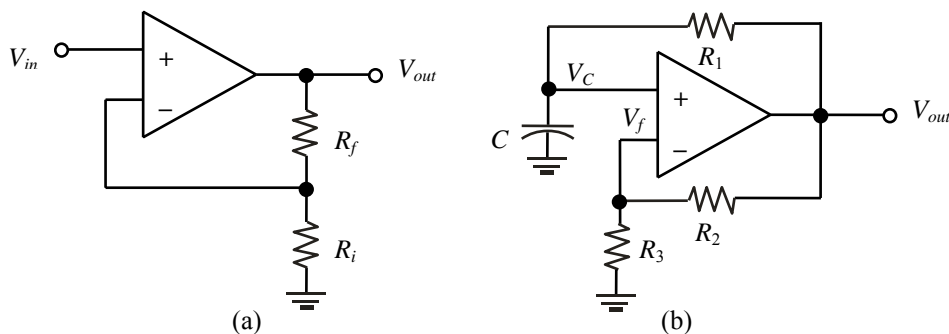


四、運算放大器是一種常用的電路元件，其優點為高開迴路增益（ A_{ol} ）、高輸入阻抗（ Z_{in} ）、低輸出阻抗（ Z_{out} ）。

(一)請說明為何放大器要求高輸入阻抗、低輸出阻抗。（4 分）

(二)一般而言，負回授電路可增大輸入阻抗。試導出圖四(a)之非反相式負回授（noninverting negative feedback）運算放大器電路的輸入阻抗。（6 分）

(三)圖四(b)為方波振盪器（square-wave generator）。若 $R_1 = R_3 = 10 \text{ k}\Omega$ 、 $R_2 = 20 \text{ k}\Omega$ 、 $C = 0.01 \text{ }\mu\text{F}$ 、運算放大器之最高及最低輸出電壓為 $\pm 15 \text{ V}$ ；試繪出 V_{out} 及 V_C 之波形，並求出此振盪器之振盪頻率。（10 分）



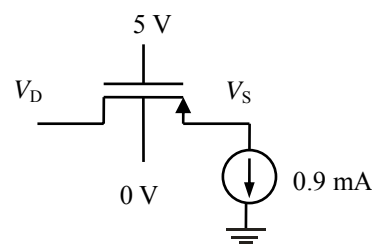
圖四

五、圖五的電路中，nMOS 電晶體的基底（substrate）接至 0 V ，閘極連到 V_{DD} （ 5 V ），並假設 I_{DS} 電流為 0.9 mA 。此 nMOS 電晶體的參數如下： $\mu_n \epsilon_n / t_{ox} = 90 \text{ }\mu\text{A/V}^2$ 、 $W/L=100$ 、臨界電壓 $V_{th(n)} = 0.8 \text{ V} + 0.2 V_{sb}$ ，其中 V_{sb} 是源極與基底間的電壓，用來代表 body effect。

(一)當 V_D 為 5 V 時，nMOS 電晶體的操作區域為何？求輸出電壓 V_S 。（6 分）

(二)當 V_D 為 3 V 時，nMOS 電晶體的操作區域為何？求輸出電壓 V_S 。（6 分）

(三)由上述結果說明 nMOS 電晶體作為開關（switch）（非理想開關）時在實際電路上產生的問題。（4 分）



圖五