

等 別：二級考試

類 科：電子工程

科 目：積體電路技術

考試時間：2 小時

座號：_____

※注意：(一)禁止使用電子計算器。

(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

一、在 P 型矽基板（座）上（如圖 a 所示），嘗試畫出以 PMOS 和 NMOS 電晶體所構成的反相器（如圖 b 所示）。

(一)參考圖 a 之不同光罩，試繪出此反相器的剖面圖並說明製造流程。（16 分）

(二)說明此電路在運作時產生闕鎖現象（Latch-up）發生的原因以及解決方法。（12 分）

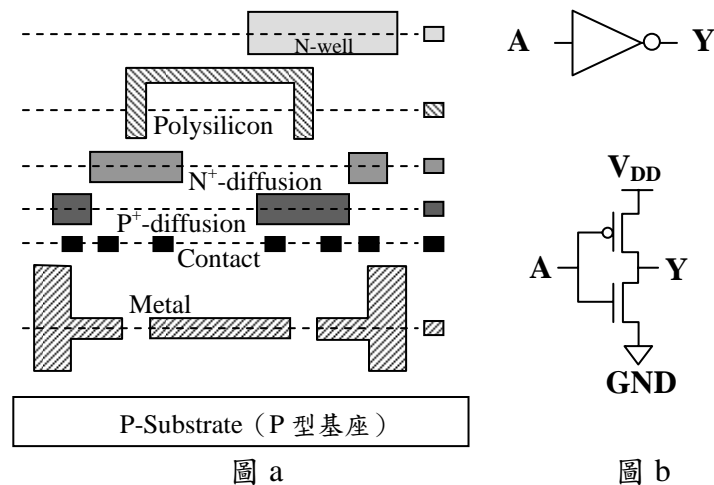


圖 a

圖 b

二、在積體電路製造上，為降低晶片面積，提高每片晶圓（Wafer）的晶粒數量，通常會提供多層金屬導線，使電路設計所需求的訊號連接採立體化的方式呈現。

(一)金屬導線由靠近矽基板（座）的 M1 往上到 Mn（假設總共有 n 層的金屬導線），試問在實體電路設計上，如何使用這些不同的金屬層（M1...Mn）？這些金屬層的寬度大小為何（假設厚度皆相同）？（10 分）

(二)試說明在製程演進過程中，金屬導線逐漸由傳統的鋁製程改為銅製程的原因以及是否增加製造的成本？（6 分）

(三)試說明 Metal Migration 的現象如何發生？如何避免？（6 分）

三、如何降低積體電路的功耗已成為相當重要的議題，尤其在可攜式電子產品的應用上。在積體電路製造上可提供雙電壓的製程技術，滿足低電壓低功耗的電路設計需求。

(一)如何在製程參數設定上提供雙電壓的設計方案？（10 分）

(二)當提供電壓（Supply Voltage V_{DD} ）降低時是否造成電晶體特性的改變？如何在製程或電路設計上降低漏電流的效應？（14 分）

四、在積體電路設計上，晶圓廠商為因應不同功能需求而開發差異性的製造技術，例如標準的邏輯製程和 DRAM 製程。

(一)試說明邏輯製程和 DRAM 製程的主要差異。（8 分）

(二)一般 DRAM 的製程主要採溝槽式（Trench）和堆疊式（Stack），說明此兩方案的製造技術以及在高儲存容量下的優劣分析。（10 分）

(三)欲實現一個具有高記憶容量的高速特殊應用積體電路（High-Speed ASIC），試分析分別在邏輯製程和 DRAM 製程實現的優缺點。（8 分）