

等 別： 高考二級
 類 科： 電子工程
 科 目： 積體電路技術
 考試時間： 2 小時

座號： _____

※注意：(一)可以使用電子計算器。

(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

一、設一鋁銅矽 (Al-Cu-Si) 合金膜的電阻率 (resistivity) 為 $3.2 \mu\text{ohm-cm}$ ，試問：

(每小題 5 分，共 20 分)

(一)此合金膜為 $1 \mu\text{m}$ 厚時，其片電阻 (sheet resistance) 為何？

(二)將此合金膜製成一 $500 \mu\text{m}$ 長， $10 \mu\text{m}$ 寬的線時，其電阻 (resistance) 為何？

(三)若將(二)所示之合金膜製成兩條平行線，並間隔以 $1 \mu\text{m}$ 寬的 SiO_2 (SiO_2 的相對介電係數(relative permittivity)為 3.9，真空中介電常數為 $8.854 \times 10^{-14} \text{ F/cm}$)，則其對應之電容值 (capacitance) 為何？

(四)上述 $500 \mu\text{m}$ 長之合金線對應之 RC 時間常數 (RC time constant) 為何？

二、(一)在製作 Al-2%Cu 的薄膜時，應以使用 sputtering 技術或 evaporation 技術為佳？說明你的理由。

(二)試說明何謂「離子通道效應」(ion channeling effect) 及其如何影響接面深度 (junction depth) 的製作？

(三)試說明在投影式的光學蝕刻術 (projection optical lithography) 中，為何最小鑑別度 (minimum resolution) 和焦距深度 (depth of focus) 這兩個需求無法藉由使用較短波長的光子而同時得到最佳化？

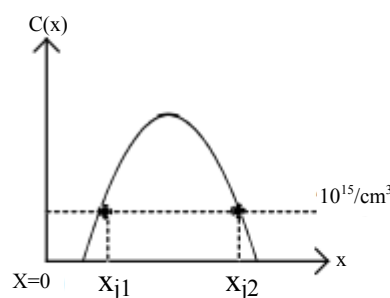
(四)試說明濕式蝕刻 (wet-etch) 與乾式蝕刻 (dry-etch) 之優缺點各為何？

(每小題 5 分，共 20 分)

三、在離子佈植製程中，若以 1000 keV 的能量，將 $10^{15}/\text{cm}^2$ 的硼劑量 (boron dose) 植入一 n 型 Si 中 (設 Si 之摻雜濃度為 $10^{15}/\text{cm}^3$)，又植入之硼離子的濃度分佈如圖一所示，試問：(每小題 10 分，共 20 分)

(一)請列出沿著入射方向植入之雜質離子的高斯分佈函數式為何？並說明各符號的意義 (列式即可，不用推導)。

(二)設入射硼離子的平均投影範圍 (projected range, R_p) 為 $1.756 \mu\text{m}$ ，而投射游走 (projected straggle, ΔR_p) 為 $0.1364 \mu\text{m}$ ，試計算圖一中接面深度 (junction depth) x_{j1} 與 x_{j2} 各為何？



圖一

(請接背面)

等 別： 高考二級
類 科： 電子工程
科 目： 積體電路技術

四、在一氧化製程中，已知當氧化層厚度為 $0.5 \mu\text{m}$ 時，氧化速率 (oxidation rate, dx_{ox}/dt) 為每小時 $0.24 \mu\text{m}$ ，但當氧化層厚度達到 $1 \mu\text{m}$ 時，氧化速率卻變成每小時 $0.133 \mu\text{m}$ ，試利用 Grove 模型 (Grove model)

$$x_{\text{ox}}^2 + A x_{\text{ox}} = B (t + \tau)$$

(每小題 10 分，共 20 分)

- (一) 計算此氧化製程之線性氧化常數 B/A (linear oxidation constant) 和拋物線氧化常數 B (parabolic oxidation constant) 各為何？並列出其單位。
(二) 依據(一)之結果試說明氧化過程的機制為何？

五、設實驗室中僅有下列製程設備：

Mask aligner (光罩機)

Spinning, baking, and development setups for photoresist and spin-on glass (光阻顯影設備)

Wet chemical bench for cleaning and wet etching (濕式蝕刻設備)

Oxidation furnace (氧化爐)

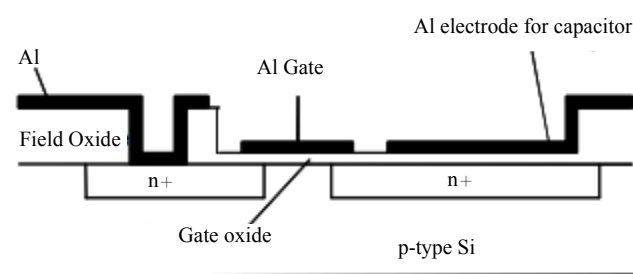
Annealing furnace (熱處理爐)

Al evaporator (鋁蒸著機)

現擬利用上述設備製造圖二所示之 DRAM 結構，該結構為一簡單的鋁閘之 n 通道 MOSFET (Al-gate n-channel MOSFET) 聯接著一個電容器。(每小題 10 分，共 20 分)

(一) 試繪出此 DRAM 結構的剖面圖 (cross-sectional view)。

(二) 欲完成上述 DRAM 之製作至少需要幾道光罩 (mask)？請按製程流程 (process sequence)，寫下光罩層的名稱與其目的。



圖二